

Original document

MANUFACTURING SEMICONDUCTOR LIGHT EMITTING ELEMENT

Publication number: JP2001007389

Publication date: 2001-01-12

Inventor: YOSHITAKE HARUJI; FURUKAWA KAZUYOSHI

Applicant: TOKYO SHIBAURA ELECTRIC CO

Classification:

- international: H01L33/00; H01L33/00; (IPC1-7): H01L33/00

- European:

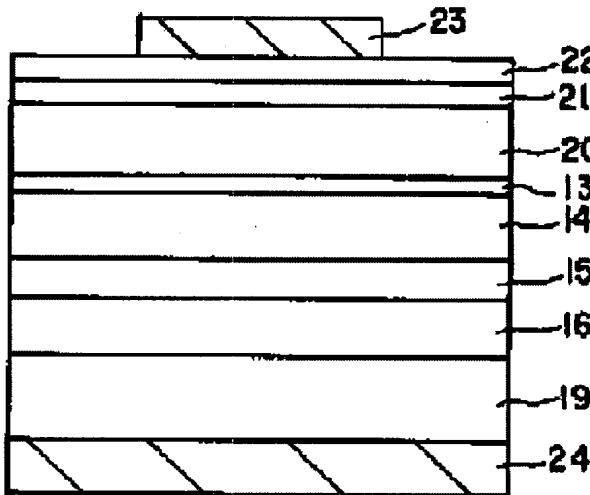
Application number: JP19990174138 19990621

Priority number(s): JP19990174138 19990621

[View INPADOC patent family](#)[View list of citing documents](#)[Report a data error here](#)

Abstract of JP2001007389

PROBLEM TO BE SOLVED: To suppress stresses from growing due to film thickness difference on a transparent substrate for avoiding cracks in light emitting element parts. **SOLUTION:** Surface of a GaAs substrate is epitaxially grown to form an n-type clad layer 14, an active layer 15 and a p-type clad layer 16. After adhering a p-type transparent substrate 19 to the p-type clad layer 16 surface at the room temp., the GaAs substrate is removed. At the room temp. an n-type transparent substrate 20 is adhered to the clad layer 14 surface via an n-type In_{0.5}Ga_{0.5}P 13. The reafter, transparent substrates 19, 20 and the clad layers 16, 14 are adhered at a high temp.



Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-7389

(P2001-7389A)

(43)公開日 平成13年1月12日 (2001.1.12)

(51)Int.Cl.⁷

H 0 1 L 33/00

識別記号

F I

H 0 1 L 33/00

テ-マコト^{*}(参考)

B 5 F 0 4 1

N

審査請求 未請求 請求項の数4 O.L (全 6 頁)

(21)出願番号 特願平11-174138

(22)出願日 平成11年6月21日(1999.6.21)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 吉武 春二

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 古川 和由

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

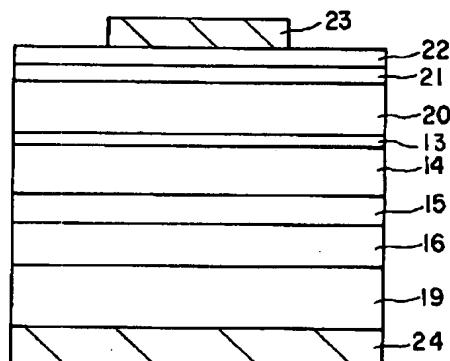
最終頁に続く

(54)【発明の名称】 半導体発光素子の製造方法

(57)【要約】

【課題】透明基板の膜厚の差により発生するストレスを抑制し、発光素子部にクラックが発生することを防止する。

【解決手段】G a A s 基板1 1の表面をエピタキシャル成長させ、n型クラッド層1 4、活性層1 5、p型クラッド層1 6を形成する。次に、室温で、p型クラッド層1 6の表面にp型透明基板1 9を接着した後、G a A s 基板1 1を除去する。次に、室温で、n型I n_{0.5}G a_{0.5}P 1 3を介してn型クラッド層1 4の表面にn型透明基板2 0を接着する。その後、透明基板1 9及び2 0とクラッド層1 6、1 4を高温接着する。



【特許請求の範囲】

【請求項1】 透明基板を接着する半導体発光素子の製造方法であって、

発光素子部を透明基板で両側から挟み、これらを高温処理して接着することを特徴とする半導体発光素子の製造方法。

【請求項2】 前記高温処理は、前記発光素子部及び両側の前記透明基板を一括して処理し接着することを特徴とする請求項1記載の半導体発光素子の製造方法。

【請求項3】 透明基板を接着する半導体発光素子の製造方法であって、

化合物半導体基板の表面に発光素子部をエピタキシャル成長させる工程と、

室温で、前記発光素子部の一方面に第1の透明基板を接着する工程と、

前記化合物半導体基板を除去し、前記発光素子部の他方面を露出する工程と、

室温で、前記発光素子部の他方面に第2の透明基板を接着する工程と、

前記第1及び第2の透明基板と前記発光素子を高温処理し、これらを接着する工程とを含むことを特徴とする半導体発光素子の製造方法。

【請求項4】 前記高温処理の温度は500°C乃至1200°Cであることを特徴とする請求項1又は3記載の半導体発光素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、透明基板を用いた発光素子の製造方法に係わり、特に、発光素子のエピタキシャル膜に透明基板を接着する半導体発光素子の製造方法に関する。

【0002】

【従来の技術】この種の透明基板を用いた半導体発光ダイオード(LED)は、例えば4元InGaAlP系のLED発光素子部の一方面及び他方面に透明基板が形成されている。前記4元組成比を変えることで全可視光領域のLEDを作成することが可能である。しかし、透明基板と発光素子部の格子定数が一致しないため格子整合しない。そのため、発光素子部を透明基板上に直接形成した場合、透明基板上に良好なエピタキシャル膜を形成することが困難である。

【0003】従って、図8乃至図14に示すように、GaAs基板上に発光素子部をエピタキシャル成長した後に、GaAs基板を除去し、発光素子部の一方面及び他方面に順次に透明基板を形成することが一般的である。以下に、従来の半導体発光素子の製造方法について説明する。

【0004】まず、図8に示すように、GaAs基板31上にエッティングストップ層32が形成され、エッティングストップ層32上にp型クラッド層33が形成され

る。このp型クラッド層33上に活性層34が形成され、活性層34上にn型クラッド層35が形成される。このn型クラッド層35上にキャップ層36が形成される。このように、エピタキシャル成長によって発光素子部が形成される。

【0005】図9に示すように、エッティングによりキャップ層36が除去され、n型クラッド層35の表面が露出される。

【0006】図10に示すように、エピタキシャル成長により、n型クラッド層35の表面に膜厚が例えれば10乃至50μmのn型透明基板37が形成される。

【0007】図11に示すように、エッティングによりGaAs基板31が除去され、エッティングストップ層32の表面が露出される。

【0008】図12に示すように、エッティングによりエッティングストップ層32が除去され、p型クラッド層33の表面が露出される。

【0009】図13に示すように、熱圧着により、p型クラッド層33の表面に膜厚が例えば250μmのp型透明基板38が接着される。

【0010】図14に示すように、n型透明基板37及びp型透明基板38の表面に、それぞれ金属電極39及び40が形成される。

【0011】

【発明が解決しようとする課題】上記従来の半導体発光素子の製造方法において、p型クラッド層33とp型透明基板38の接着面が良好なオーミックになるためにには、高温な熱圧着により接着することが必要である。しかし、エピタキシャル成長膜であるn型透明基板37の膜厚はp型透明基板38の膜厚に比べて薄いため、熱圧着によりp型クラッド層33表面にp型透明基板38を接着して、発光素子部を透明基板37、38で挟み込む際、クラッド層33及び35と透明基板38及び37の熱膨張係数の差による応力が発生する。主に、透明基板37、38の膜厚差により、発生した応力が打ち消し合わず、図15に示すように、発光素子部に反りが生じてクラック40が発生する。従って、LEDの発光特性が大幅に劣化するという問題があった。

【0012】これを解決するためには、n型透明基板37の膜厚をp型透明基板38の膜厚と同一にする考えられる。しかし、これはエピタキシャル成長の時間を長くする必要があるため、処理時間が長くなり、得策ではない。

【0013】本発明は上記課題を解決するためになされたものであり、その目的とするところは、発光素子部のクラックの発生を抑制することができる半導体発光素子の製造方法を提供することにある。

【0014】

【課題を解決するための手段】本発明は、前記目的を達成するために以下に示す手段を用いている。

【0015】本発明の半導体発光素子の製造方法は、透明基板を接着する半導体発光素子の製造方法であって、発光素子部を透明基板で両側から挟み、これらを高温処理して接着する。

【0016】前記高温処理は、前記発光素子部及び両側の前記透明基板を一括して処理し接着する。

【0017】また、本発明の半導体発光素子の製造方法は、透明基板を接着する半導体発光素子の製造方法であって、化合物半導体基板の表面に発光素子部をエピタキシャル成長させる工程と、室温で、前記発光素子部の一方に第1の透明基板を接着する工程と、前記化合物半導体基板を除去し、前記発光素子部の他方面を露出する工程と、室温で、前記発光素子部の他方面に第2の透明基板を接着する工程と、前記第1及び第2の透明基板と前記発光素子を高温処理し、これらを接着する工程とを含む。

【0018】前記高温処理の温度は500°C乃至1200°Cである。

【0019】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【0020】図1乃至図6は、本発明を例えれば緑色の半導体発光素子の製造方法に適用した場合について示している。

【0021】まず、図1に示すように、膜厚が例えば250μmのGaAs基板11上に、膜厚が例えば0.5μmのn型GaAs層12が形成され、このn型GaAs層12上に、膜厚が例えば0.2μmのn型In_{0.5}Ga_{0.5}P層13が形成される。このn型In_{0.5}Ga_{0.5}P層13上に、膜厚が例えば0.6μmのn型クラッド層(In_{0.5}A_{1.0}5P層)14が形成され、このn型クラッド層14上に、膜厚が例えば1.0μmのP型活性層(In_{0.5}(Ga_{0.55}A_{1.0}45)_{0.5}P層)15が形成される。このP型活性層15上に、膜厚が例えば1.0μmのP型クラッド層(In_{0.5}A_{1.0}5P層)16が形成され、このP型クラッド層16上に、膜厚が例えば0.01μmのP型エッチングトップ層(GaAs層)17が形成される。このエッチングトップ層17上に、膜厚が例えば0.02μmのn型キャップ層(Ini_{0.5}(Ga_{0.7}A_{1.0}3)_{0.5}P層)18が形成される。このように、エピタキシャル成長によって、同一バッチで発光素子部が形成される。

【0022】次に、図2に示すように、n型キャップ層18とp型エッチングトップ層17がエッチングされ、p型クラッド層16の表面が露出される。その後、露出されたp型クラッド層16上に形成された自然酸化膜(図示せず)及びp型クラッド層16表面のパーティクルが除去される。また、図3に示すp型クラッド層16に接着されるp型透明基板(GaP基板)19表面の

自然酸化膜及びパーティクルも予め除去される。このp型透明基板19は、発光素子部とは別の製造工程で製造される。

【0023】この後、図3に示すように、室温で、p型クラッド層16の表面に、膜厚が例えば250μmのp型透明基板19の表面が接着される。

【0024】次に、図4に示すように、エッチングによりn型In_{0.5}Ga_{0.5}P13下部のGaAs基板11及びn型GaAs層12が除去される。

【0025】この後、図5に示すn型In_{0.5}Ga_{0.5}P13に接着されるn型透明基板(GaP基板)20の表面の自然酸化膜(図示せず)及びパーティクルが予め除去される。このn型透明基板20は、発光素子部とは別の製造工程で製造される。

【0026】この後、図5に示すように、室温で、n型In_{0.5}Ga_{0.5}P13の表面に、膜厚が例えば250μmのn型透明基板20が接着される。

【0027】次に、Arガスを流しながら、例えば800°Cに加熱され、p型クラッド層16とp型透明基板19の接着面、n型In_{0.5}Ga_{0.5}P13を介してn型クラッド層14とn型透明基板20の接着面が一括して高温接着される。その後、室温で上記ウエハが冷却される。尚、高温の接着時の温度としては、800°Cに限定されるわけではなく、例えば500°C乃至1200°Cであればよい。

【0028】次に、図6に示すように、n型透明基板20上に、膜厚が例えば1乃至10nmのGeを含むAu(例えればGeを0.5%含有するAuGe)からなる介在層21が形成される。

【0029】次に、スパッタリングにより、介在層21上にITO(I_n酸化膜とS_n酸化膜の混合膜)膜からなる透明電極22が形成される。この際、基板温度は室温(22°C)程度で、ArとOの比(Ar:O)は例えば100:1とし、真空度は例えば1×10⁻³Torrとする。

【0030】次に、透明電極22上に例えばAuからなる金属電極23が形成され、p型透明基板19の表面に、例えればBeを1%含有するAuBeからなる裏面電極24が形成される。その後、Ar雾囲気中で温度が例えば450°C、処理時間が例えば15分の熱処理が行われる。

【0031】次に、ウエハにスクライブが行われ、チップ化される。その後、樹脂パッケージにより封止される。

【0032】上記実施の形態によれば、p型クラッド層16にp型透明基板19を接着するとともに、このp型透明基板19と同一の膜厚のn型透明基板20をn型In_{0.5}Ga_{0.5}P13を介してn型クラッド層14に接着している。つまり、p型透明基板19とn型クラッド層14の膜厚は同一であるため、高温接着から室温冷却の

際、異種材料からなる透明基板19及び20とクラッド層16及び14の熱膨張係数の差により生じたストレスを、互いに打ち消し合うことができる。このため、発光素子部の反り及びクラックの発生を抑制することができる。

【0033】また、図7は、透明基板を接着する前と接着した後のLEDの発光輝度の様子を示している。この実施の形態によれば、LEDに反りやクラックが発生しないため、同図に示すように、透明基板を接着した後も発光輝度が低下しない。このため、LED特性の劣化を防止できる。

【0034】また、透明基板19及び20とクラッド層16及び14を高温で接着する際に、接着時の温度が500°C乃至1200°Cの範囲であれば、接着面は良好なオーミックとなる。

【0035】また、透明基板19、20の接着により発光素子部を挟み込むため、透明基板をエピタキシャル成長膜により形成する場合よりも処理時間を短縮できる。

【0036】更に、処理時間をかけることなく透明基板19、20の膜厚を例えば250μmと厚く形成できる。しかも、透明基板19、20の膜厚が厚いため、透明基板19、20の側面の面積を広くできる。従って、透明基板19、20による反射面が広いため、側面に反射された光を有効に活用できる。よって、LEDの発光輝度を高めることができる。

【0037】尚、本発明は、上記実施の形態に限定されるものではない。例えば、LEDとしては、緑以外の可視光製品にも適用でき、上記と同様の効果を得ることができる。

【0038】また、透明基板19、20はGaN基板に限る必要はなく、例えばGaN基板のように、導電性であり、且つ、可視領域で透明（透過率90%以上）である材料であればよい。

【0039】その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0040】

【発明の効果】以上説明したように本発明によれば、発光素子部のクラックの発生を抑制することができる半導体発光素子の製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明に係わる半導体発光素子の製造工程を示す断面図。

【図2】本発明に係わる半導体発光素子の製造工程を示す断面図。

す断面図。

【図3】本発明に係わる半導体発光素子の製造工程を示す断面図。

【図4】本発明に係わる半導体発光素子の製造工程を示す断面図。

【図5】本発明に係わる半導体発光素子の製造工程を示す断面図。

【図6】本発明に係わる半導体発光素子の製造工程を示す断面図。

【図7】本発明のLEDの発光輝度特性を示す図。

【図8】従来技術による半導体発光素子の製造工程を示す断面図。

【図9】従来技術による半導体発光素子の製造工程を示す断面図。

【図10】従来技術による半導体発光素子の製造工程を示す断面図。

【図11】従来技術による半導体発光素子の製造工程を示す断面図。

【図12】従来技術による半導体発光素子の製造工程を示す断面図。

【図13】従来技術による半導体発光素子の製造工程を示す断面図。

【図14】従来技術による半導体発光素子の製造工程を示す断面図。

【図15】従来技術によるクラックを示す断面図。

【符号の説明】

1 1…GaN基板、

1 2…n型GaN基板、

1 3…n型 $In_{0.5}Ga_{0.5}P$ 層、

1 4…n型クラッド層（ $In_{0.5}Al_{0.5}P$ 層）、

1 5…P型活性層（ $In_{0.5}(Ga_{0.55}Al_{0.45})_{0.5}P$ 層）、

1 6…P型クラッド層（ $In_{0.5}Al_{0.5}P$ 層）、

1 7…P型エッチングストップ層（GaN層）、

1 8…n型キャップ層（ $In_{0.5}(Ga_{0.7}Al_{0.3})_{0.5}P$ 層）、

1 9…p型透明基板（GaN基板）、

2 0…n型透明基板（GaN基板）、

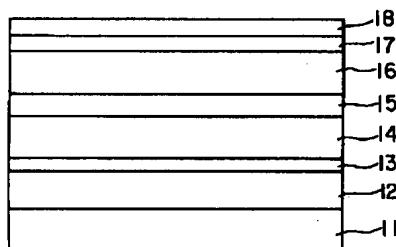
2 1…介在層、

2 2…透明電極、

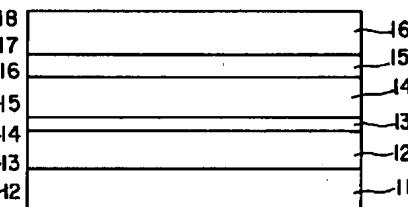
2 3…金属電極、

2 4…裏面電極。

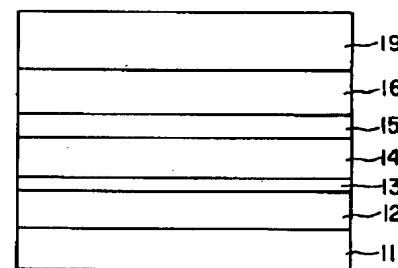
【図1】



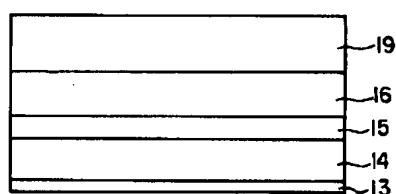
【図2】



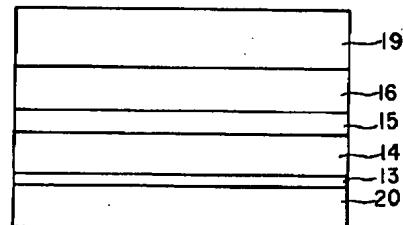
【図3】



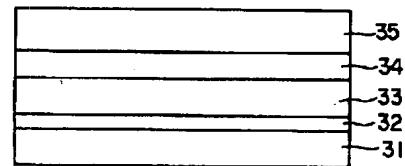
【図4】



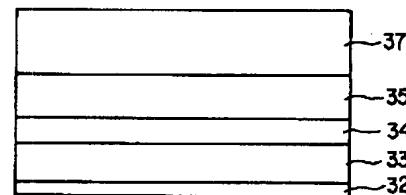
【図5】



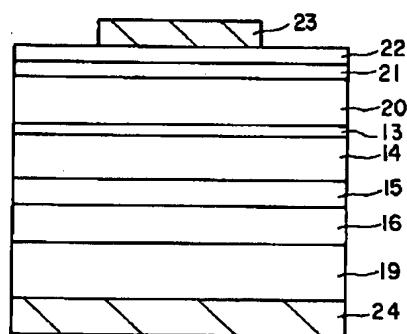
【図9】



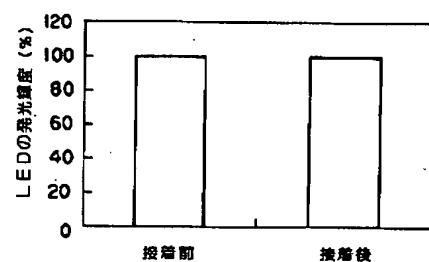
【図11】



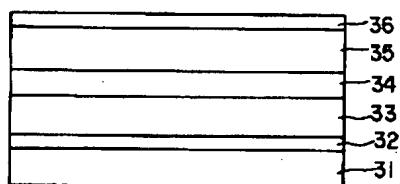
【図6】



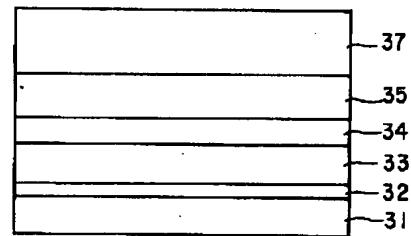
【図7】



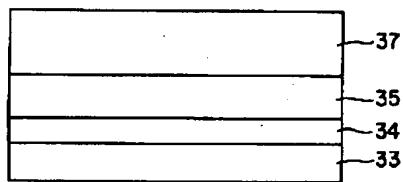
【図8】



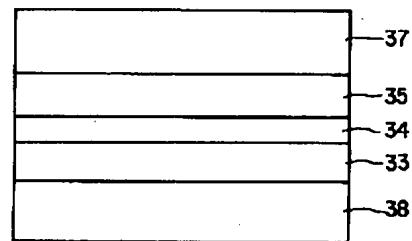
【図10】



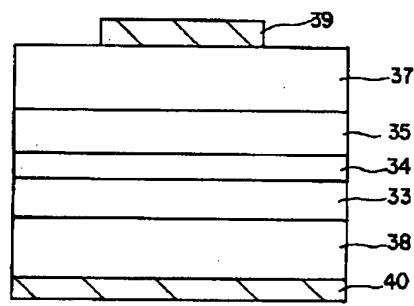
【図12】



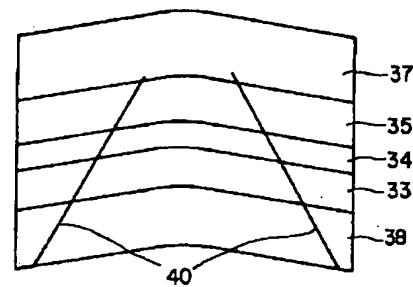
【図13】



【図14】



【図15】



フロントページの続き

Fターム(参考) 5F041 AA41 AA43 CA04 CA12 CA34
CA35 CA37 CA74 CA76 CA85
CA88 CA92 DA12 DA43